

## PATENT ABSTRACTS OF JAPAN

NEC-5082

⑤ ㉑

(11)Publication number : 06-203596

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

G11C 29/00  
G06F 11/16

(21)Application number : 05-104442

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 30.04.1993

(72)Inventor : LEE HYONG-GON  
CHO SUNG-HEE  
KIM SE-JIN

(30)Priority

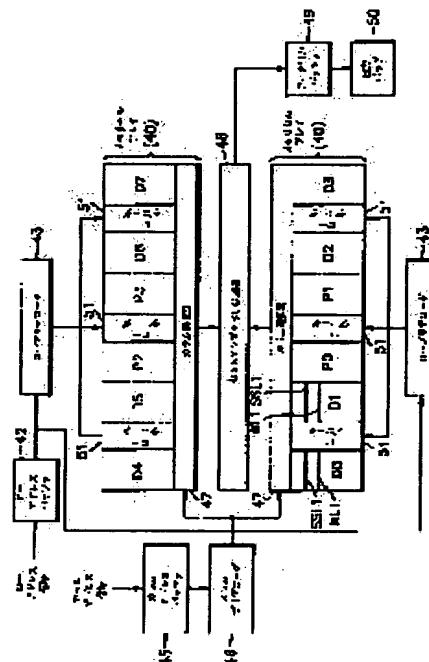
Priority number : 92 9222114 Priority date : 23.11.1992 Priority country : KR

## (54) METHOD FOR ARRANGING MEMORY CELL ARRAY OF SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor memory device using an ECC circuit, in which the saving efficiency of a single bit defect, a defect on a bit line, and a defect on a word line can be increased to the maximum.

CONSTITUTION: A memory cell array 40 is arranged so as to be electrically separated by a row decoder 51 equipped with a string selection line and a word line independently operated for each bit, and a normal bit and a parity bit are stored by each one bit in each separated memory cell array. Therefore, even when a defect is generated in the string selection line or the word line, an error generated in data due to the defect is 1 bit so that it can be easily corrected by an ECC circuit.



## LEGAL STATUS

[Date of request for examination] 30.06.1993

[Date of sending the examiner's decision of rejection] 22.04.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision 09-12107  
of rejection]

[Date of requesting appeal against examiner's 22.07.1997  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-203596

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 2	6866-5L		
G 0 6 F 11/16	3 1 0 H	7313-5B		

審査請求 有 請求項の数12 (全 12 頁)

(21)出願番号 特願平5-104442

(22)出願日 平成5年(1993)4月30日

(31)優先権主張番号 1 9 9 2 P 2 2 1 1 4

(32)優先日 1992年11月23日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 李 炯坤

大韓民国京畿道水原市勸善区仁溪洞319番

地 6号韓信アパート101棟414号

(72)発明者 趙 星熙

大韓民国京畿道水原市八達区梅灘洞101番

地52号

(72)発明者 金 世振

大韓民国京畿道水原市勸善区仁溪洞956番

地 4号京東ビーラ301号

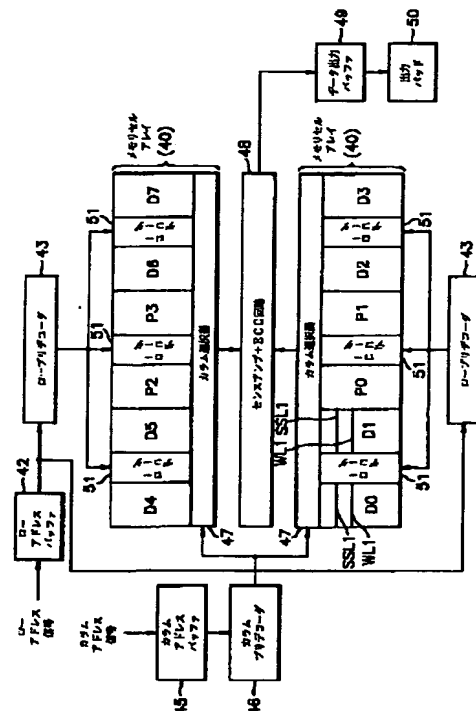
(74)代理人 弁理士 高月 猛

(54)【発明の名称】 半導体メモリ装置及びそのメモリセルアレイの配置方法

(57)【要約】

【目的】ECC回路を使用した単ビット欠陥、ビット線上の欠陥、及びワード線上の欠陥の救済効率が最大限に高められた半導体メモリ装置を提供する。

【構成】メモリセルアレイ40を、各ビットについて独立的に動作するようにされたストリング選択線及びワード線を備えたローデコーダ51により電氣的に分離して配置するようにし、その分離された各メモリセルアレイに1ビットずつナニマルビット及びパリティビットを記憶させるようにする。したがって、ストリング選択線或いはワード線に欠陥が発生しても、その欠陥によりデータに生じる誤りは1ビットなのでECC回路で容易に訂正できる。



## 【特許請求の範囲】

【請求項1】 ノーマルビット及びパリティビットを使用してECC回路により誤り訂正動作を行うようにされた半導体メモリ装置において、

1度のアクティブ周期のとき同時に感知されるノーマルビット及びパリティビットの1ビットずつに対応させて電氣的に分離されたメモリセルアレイを備えていることを特徴とする半導体メモリ装置。

【請求項2】 メモリセルアレイは、同時に感知されるノーマルビット及びパリティビットの1ビットずつに対し10 独立的に動作するようにされたストリング選択線及びワード線を有するローデコーダによって分離されている請求項1記載の半導体メモリ装置。

【請求項3】 同時に感知されるノーマルビット数は $2^n$  ( $n=2, 3, 4, 5, \dots$ )であり、パリティビット数はこのノーマルビット数より少なくされている請求項1又は請求項2のいずれかに記載の半導体メモリ装置。

【請求項4】 ノーマルビット及びパリティビットを使用してECC回路により誤り訂正動作を行うようにされた半導体メモリ装置において、

1度のアクティブ周期のとき同時に感知されるノーマルビット及びパリティビットの1ビットずつに対し独立的に動作するようにされたストリング選択線及びワード線を有するローデコーダを備えていることを特徴とする半導体メモリ装置。

【請求項5】 同時に感知されるノーマルビット及びパリティビットの1ビットずつに対応するようにしてローデコーダにより電氣的に分離されたメモリセルアレイを備えている請求項4記載の半導体メモリ装置。

【請求項6】 ノーマルビット用のノーマルビットアレイとパリティビット用のパリティビットアレイとを有するようにされた半導体メモリ装置において、ノーマルビットアレイ及びパリティビットアレイが、データアクセス動作時に同時に感知されるノーマルビット及びパリティビットの1ビットずつに対応するようにしてローデコーダにより電氣的に分離されていることを特徴とする半導体メモリ装置。

【請求項7】 ローデコーダは、同時に感知されるノーマルビット及びパリティビットの1ビットずつに対し10 独立的に動作するようにされたストリング選択線及びワード線を有している請求項6記載の半導体メモリ装置。

【請求項8】 ECC回路を有する半導体メモリ装置のメモリセルアレイの配置方法において、多数のデータを貯蔵する第1のメモリセルアレイと、この第1のメモリセルアレイに隣接し、多数のデータを貯蔵する第2のメモリセルアレイと、これら第1のメモリセルアレイと第2のメモリセルアレイとの間に設けられ、各メモリセルアレイにつき独立的に動作するストリング選択線及びワード線を有するローデコーダとを少なくとも備え、

1度のアクティブ周期のとき同時に感知されるデータが、前記各ストリング選択線及びワード線によりそれぞれ選択されるようになっていて、これを特徴とする半導体メモリ装置のメモリセルアレイの配置方法。

【請求項9】 ローデコーダが選択できるメモリセルアレイの数は、多くても2つである請求項8記載の半導体メモリ装置のメモリセルアレイの配置方法。

【請求項10】 第1のメモリセルアレイ及び第2のメモリセルアレイは、それぞれノーマルビット用のノーマルビットアレイとされる請求項8記載の半導体メモリ装置のメモリセルアレイの配置方法。

【請求項11】 第1のメモリセルアレイ及び第2のメモリセルアレイは、それぞれパリティビット用のパリティビットアレイとされる請求項8記載の半導体メモリ装置のメモリセルアレイの配置方法。

【請求項12】 第1のメモリセルアレイがノーマルビット用のノーマルビットアレイとされ、第2のメモリセルアレイがパリティビット用のパリティビットアレイとされる請求項8記載の半導体メモリ装置のメモリセルアレイの配置方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体メモリ装置、特に単(single)ビット欠陥、ビット線上の欠陥及びワード線上の欠陥の救済(repair)を可能とするECC(Error Checking and Correcting)回路を有する半導体メモリ装置に関する。

## 【0002】

【従来の技術】 通常、高集積半導体メモリ装置では、その歩留りを向上させるため、冗長(Redundancy)回路又はECC回路を内蔵して欠陥を救済する方法が広く使用されている。この冗長回路を用いる場合、ビット線上の欠陥及びワード線上の欠陥をすべて救済することができるが、ウェーハの工程後に付随的に工程を追加しなければならないだけでなく、読出し専用メモリ(ROM)等のメモリ装置には使用し難い。

【0003】 一方、ECC回路は、入力時に入力データ(ノーマルデータ)によりパリティ(parity)データを発生させてこれらノーマルデータ及びパリティデータをすべて貯蔵し、出力時に貯蔵されたノーマルデータとそのノーマルデータによって発生されたパリティデータとを比較して誤りを検出し訂正するようになっている。ECC回路による $n$ ビット誤り点検及び $n$ ビット誤り訂正の場合、ECC回路は、同時に感知され一度の誤り訂正動作を行うデータから $n$ ビット以下の欠陥が検出されると、その検出されたビット欠陥を救済できるが、同時に感知されるデータから $n+1$ ビット以上の欠陥が検出されるときには、欠陥の救済が不可能となる。

【0004】 このとき、例えば $n=1$ の場合、ノーマルビット数に応じて必要なパリティビット数は、この分野

## 3

よく知られているように、ハミングコード(Hamming code)によって決定される。これを次式に示す。

$$2^k \geq m + k + 1 \quad \dots\dots\dots (1)$$

ここで、 $m$ はノーマルビット数であり、 $k$ はパリティビット数である。式(1)によると、ノーマルビット数が8個の場合はパリティビット数は4個必要で、ノーマルビット数が16個の場合にはパリティビット数は5個必要となる。

【0005】このようなECC回路を適用する場合、パリティセルの追加によるチップサイズの増加、訂正回路による動作速度低下等の短所があるが、素子の集積度が増加すればする程、ECC回路を使用することによる信頼性及び歩留り向上の長所の重みが増し、短所を補うに十分な効果を奏する。

【0006】図5に、従来技術によるECC回路を使用した半導体メモリ装置の例を示し、そして図6に、図5に示すサブアレイD0、D1、…、DNの接続関係を表す構成図を示す。また、図7は図6に示す回路の詳細な回路図である。

【0007】図5に示すのは、Alan D. Poepelmanにより“FAULT TOLERANT MEMORY”の名称で特許出願され、1987年9月8日付けで特許発行された米国特許番号第4,692,923号に詳細に開示されている技術である。

【0008】サブアレイD0～DNの各構成は、それぞれ多数のメモリセルが集まって形成されるスタックセット(stack set)N( $N=0 \sim N$ )が、多数集まって1つのサブアレイを構成するようになっている。このスタックセットは、2つのストリングの組合せで構成される。ここで、図5及び図7を参照してバンク選択線N～N+3の動作を説明する(尚、バンク選択線は一般のストリング選択線と同じ意味である)。バンク選択線Nは、サブアレイD0ではスタックセット0を、サブアレイD1ではスタックセット1を、サブアレイDNではスタックセットNをそれぞれ選択する。そして、サブアレイD1のスタックセット0を選択するバンク選択線はサブアレイを交差してサブアレイDN-1のスタックセットNに連結される。このような構成に従って、ワード線上の欠陥が発生するとECC回路によりその欠陥を救済することができる。

【0009】この特許の明細書で詳細に説明されているように、図5乃至図7に示すような構成を用いることで、チップ内の占有面積を減少させられる一方で、より性能の向上したECC回路を提供でき、製造上の欠陥による影響を制御できる能力をもつメモリ装置の提供が可能となる。

【0010】しかし、この公知技術には次にあげるような問題がある。第1に、ワード線上の欠陥は救済できるが、バンク選択線上の欠陥は救済できない。すなわち、例えばバンク選択線Nとバンク選択線N+1との短絡等

## 4

の欠陥が生じると、そのバンク選択線が連結されているすべてのサブアレイで誤情報が発生することになってしまいが、この欠陥を救済することはできない。

【0011】第2に、1本のバンク選択線がすべてのサブアレイの選択トランジスタと相互に連結されているため、バンク選択線の負荷が大きくなり、高集積半導体メモリ装置に適用する場合にその負荷の重みが重大な問題となる。

【0012】第3に、上述のようにいくつかのバンク選択線は、サブアレイと交差して他のサブアレイのスタックセットに連結されるので、レイアウトが難しいうえ、マスク工程が増加する。

【0013】第4に、図7に示すバスロー信号0、1が電源電圧Vcc又は接地電圧Vssに変化するため消費される電力が大きく、また動作速度が遅くなる。すなわち、図7に示すように、偶数ローバス線(EVEN ROW BUS LINE)のバスロー信号0は、バス負荷リミッタ2のデプレッション形トランジスタを通じてワード線WL31、WL32に伝わり、同様に奇数ローバス線のバスロー信号1はワード線WL41、WL42に伝わるようにされている。したがって、バスロー信号0及びバスロー信号1が電源電圧Vcc又は接地電圧Vssに変化すれば、これらの伝わる全てのワード線の電位も電源電圧Vcc又は接地電圧Vssに変化する。半導体メモリ装置の高集積化に伴いバスロー信号0及びバスロー信号1の伝わるワード線の数も増加するため、特に高集積の半導体メモリ装置でバスロー信号0及びバスロー信号1の電位が電源電圧Vcc又は接地電圧Vssに変化する場合、非常に大きな電力が消費されることになるだけでなく、それにより動作速度が遅くなるという問題がある。

【0014】

【発明が解決しようとする課題】したがって本発明の目的は、集積度が増加すればする程ECC回路の動作効果も増大するような半導体メモリ装置を提供することにある。

【0015】また本発明の他の目的は、チップの歩留りが大きく向上し、そして信頼性の高い半導体メモリ装置を提供することにある。

【0016】さらに本発明の他の目的は、チップの歩留りが大きく向上し、そして信頼性の高いECC回路を備えた半導体メモリ装置を提供することにある。

【0017】本発明のまた他の目的は、ECC回路を内蔵する半導体メモリ装置について、ワード線に関連した欠陥を容易に救済できるようにされた半導体メモリ装置を提供することにある。

【0018】さらに本発明のまた他の目的は、半導体メモリ装置において、ECC回路の使用だけで単ビット欠陥、ビット線及びワード線に関連した欠陥の救済効率を高められるような半導体メモリ装置を提供することにある。

10

20

30

40

50

【0019】本発明のさらにまた他の目的は、ECC回路だけを使用して単ビット欠陥、ビット線及びワード線に関連した欠陥の救済効率を大きく高められるような半導体メモリ装置のメモリセルアレイの配置方法を提供することにある。

#### 【0020】

【課題を解決するための手段】このような目的を達成するために本発明は、ノーマルビット及びパリティビットを使用してECC回路により誤り訂正動作を行うようにされた半導体メモリ装置において、1度のアクティブ周期のとき同時に感知されるノーマルビット及びパリティビットの1ビットずつに対応させて電氣的に分離されたメモリセルアレイを備えていることを一つの特徴としている。また、このような半導体メモリ装置のメモリセルアレイを、同時に感知されるノーマルビット及びパリティビットの1ビットずつに対し独立的に動作するようにされたストリング選択線及びワード線を有するローデコードによって分離することを特徴とする。

【0021】さらに、ECC回路を有する半導体メモリ装置のメモリセルアレイの配置方法について、メモリセルアレイをローデコードにより電氣的に分離して配置するようにし、1つのロードレス信号によって同時にすべてのローデコードを動作させ、そして各ローデコードがもつ各メモリセルアレイにつき独立的に動作するストリング選択線及びワード線のそれぞれが、ノーマルビット又はパリティビットを1ビットずつ選択するようにしてメモリセルアレイを配置する配置方法とすることを特徴とする。

【0022】尚、ストリング選択線及びワード線を独立的に動作させる方法は、ローデコードに限られるものではなく、適宜にその他の、例えば中継器(Repeater)のようなものにしてもよい。

#### 【0023】

【実施例】以下、本発明の好適な一実施例を添付の図面を参照して説明する。図1は、本発明による半導体メモリ装置の一実施例を示すブロック図であり、8ビットのノーマルビットと4ビットのパリティビットの構成をもつECC回路付きメモリ装置を示している。この例では、メモリセルアレイ40を、ノーマルビットで構成される8個のノーマルビットアレイ(サブアレイ)D0~D7と、パリティビットで構成される4個のパリティビットアレイ(サブアレイ)P0~P3とに分け、全部で12ブロックで構成している。

【0024】尚、本実施例におけるノーマルビットとパリティビットの配置についてはランダムなもので、特に図1の構成に限定されるものではなく、この例とは異なる構成としても本発明の目的を十分に達成できることは、当該分野で通常の知識を有する者なら容易に理解できるであろう。すなわち、本発明では、互いに隣接するノーマルビットアレイ間に、又はパリティビットアレイ

間に(又は、ノーマルビットアレイとパリティビットアレイとの間に)ローデコードを配置し、そして、同時に選択され一度の誤り訂正動作を行うノーマルビット及びパリティビットの各ビットについて独立的に動作するストリング選択線及びワード線が提供されることを大きな特徴としている。

【0025】この例の半導体メモリ装置はさらに、外部から印加されるローアドレス信号及びカラムアドレス信号を中継してチップ内部に伝送するローアドレスバッファ42及びカラムアドレスバッファ45と、多数のワード線のうちの1本のワード線の選択、多数のストリング選択線のうちの1本のストリング選択線の選択を行うためのロープリデコード43と、多数のビット線のうちの1本のビット線の選択を行うためのカラムプリデコード46及びカラム選択器47と、選択されたメモリセルの状態を判断するための12個のセンスアンプ及び感知された12個のデータの中で1ビット以下の誤りを検出して訂正するECC回路48と、訂正された8個の出力信号を増幅してチップ外部に伝送するデータ出力バッファ49と、出力パッド50とを備えている。

【0026】尚、本実施例においては、8個のノーマルビットあたり4個のパリティビットを必要とする8ビットECC回路を使用しているが、この他にも、16ビットECC回路や32ビットECC回路、あるいはそれ以上のものを使用することも可能である。

【0027】図2は図1に示したサブアレイD0及びD1の詳細な回路を示す。チップ外部からアドレス信号が入力されると、この入力されたアドレス信号によってビット線とローデコード51が選択される。ローデコード51により各サブアレイD0、D1の任意の1つのメモリセルが選択される。メモリセルアレイ内部の動作は、ローデコード51に提供された各駆動器により1本のストリング選択線SSL<sub>i</sub>( $i=0\sim n$ )が選択され、1つのストリングでまた1本のワード線WL<sub>i</sub>( $i=0\sim n$ )が選択される。このとき、1つのローデコード51の駆動器は他の駆動器と電氣的に相互に分離されており、サブアレイD0及びD1は相互に異なる駆動器に連結されている。それによって、サブアレイD0では1つのメモリセルが選択される。また、同様の方法で各サブアレイで1つのメモリセルだけが選択される。

【0028】したがって、ストリング選択線SSL0とSSL1、又はワード線WL0とWL1が相互に短絡する現象が生じても、これは誤り訂正動作を行うノーマルビット及びパリティビットのうちのいずれか1ビットにだけ異常を生じることになるので、ECC回路により、ストリング選択線SSL0とSSL1、又はワード線WL0とWL1の短絡による欠陥を救済できるようになる。また、1つのストリング選択線及びワード線信号が1つのサブアレイのうちの1つのメモリセルだけを選択するので、負荷が小さくて高速化に有利であり、半導体

メモリ装置の集積度の増加にかかわらず負荷が増加することもない。

【0029】図2に示す構成を参照して図1に示す装置の動作を次に説明する。アドレス信号に応じて各ワード線によりノーマルビットアレイD0~D7、パリティビットアレイP0~P3から選択された12個のデータの中に1ビット以下の欠陥が発生した場合、ストリング選択線及びワード線が各ビットについて独立的に動作するようにされているので、ECC回路による救済が可能である。

【0030】すなわち、図示のように、ローデコード51によって、例えばサブアレイD0でストリング選択線SSL1及びワード線WL1によって1つのメモリセルだけが選択され、サブアレイD1でもストリング選択線SSL1及びワード線WL1によって1つのメモリセルだけが選択される。したがって、各々のサブアレイで1つのメモリセルだけが選択されるので、ストリング選択線やワード線の短絡が発生してもECC回路による救済が可能となる。

【0031】また、このような欠陥は、1つのローデコード51により選択される互いに隣接したノーマルビット又はパリティビットのロードアドレスが異なっていれば、完全に救済することができる。言い換えれば、メモリセルアレイ内の多数のワード線で欠陥が発生しても、ロードアドレス信号が同じでなければ、ECC回路による救済が可能である。

【0032】図3は、図2に示したようなノーマルビット及びパリティビットとローデコードとの接続関係の実施例を示す。同図に示す構成で、ビット線とワード線によって選択されるメモリセルを除いた構成はワード線デコードで、この技術は、本出願人により1989年11月13日付けで出願された“半導体メモリ装置のワード線デコード”と題する韓国特許出願番号第1989-16428号において、その動作特性と共に詳細に開示されている。尚、この他の改良されたワード線デコードであっても容易に本発明に適用できることは、この分野で通常の知識を有する者であれば容易に理解できるであろう。

【0033】図4に示すのは、本発明による半導体メモリ装置の他の実施例のブロック図で、16ビットのECC回路の場合の例である。この図4の構成でも、ノーマルビットアレイD0~D15とパリティビットアレイP0~P4の配置はランダムなもので、そして各ストリング選択線及びワード線によって選択されるビット数はそれぞれ1個になる。このとき、ノーマルビット数が16個なので、それによるパリティビット数は5個であり、そして、この実施例では本発明の目的を容易に達成する

ためにローデコード51の数を12個として実施している。

【0034】図1及び図4に示した構成は、本発明の思想に立脚して実現した最適の実施例であり、本発明に適用されるローデコードはこの他にも多様に実施することが可能で、また、ECC回路を内蔵する半導体メモリ装置すべてに使用できる。さらに、上記実施例では、半導体メモリ装置がローデコードによって独立的に動作するストリング選択線及びワード線を有するように構成されることを示したが、例えば中継器を使用しても同様に本発明の目的を達成できることは、当該分野で通常の知識を有する者には明白である。

【0035】

【発明の効果】以上述べてきたように本発明は、例えば12個のデータブロックから成るメモリセルアレイの場合、6個のローデコードを使用して前記データブロックの12個のストリング選択線及びワード線が相互に独立的に動作するようにすることで、単ビット欠陥、ビット線上の欠陥、及びワード線上の欠陥までも救済が可能となる。そして、このようにECC回路だけを使用して大部分の欠陥を救済できるので、従来の冗長回路を使用した場合にあったチップサイズの増加を防ぐことができる。また、冗長回路を使用する場合にあったウェーハ工程後に不良セルを冗長用セルで救済することによるTAT (Turn Around Time)の増加を防ぐことも可能となる。さらには、今後の64M、256M級以上の超高集積半導体メモリ装置における高信頼性や歩留りの一層の向上を保障できるだけでなく、その動作特性をも向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明による半導体メモリ装置の実施例を示すブロック図。

【図2】図1中のサブアレイの詳細を示す回路図。

【図3】図1及び図2に示す装置のローデコードの実施例を示す回路図。

【図4】本発明による半導体メモリ装置の他の実施例を示すブロック図。

【図5】従来の技術による半導体メモリ装置の一例を示すブロック図。

【図6】図5のサブアレイの連結関係を示すブロック図。

【図7】図6のサブアレイの詳細な回路図。

【符号の説明】

D0~D15 ノーマルビットアレイ

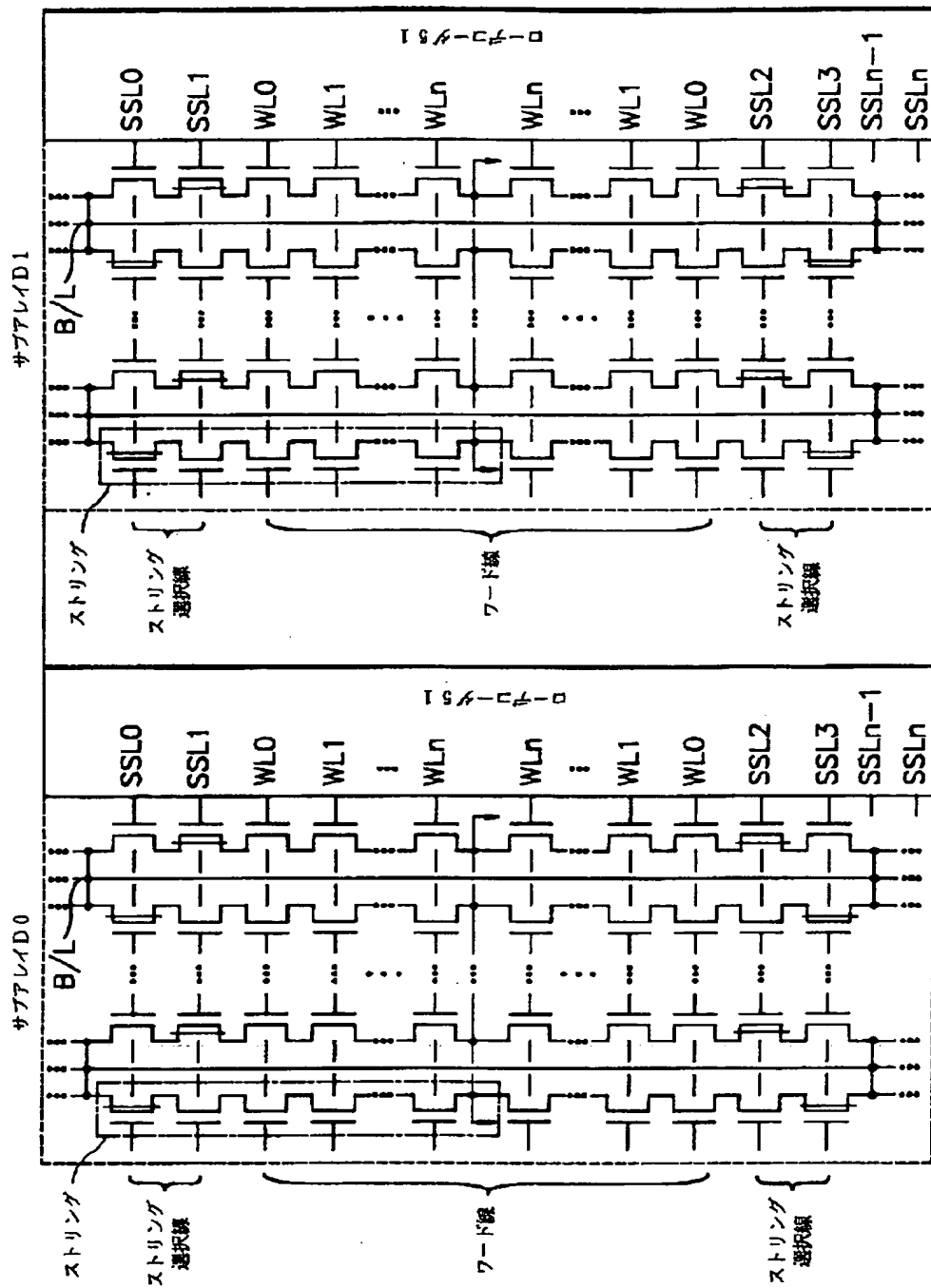
P0~P4 パリティビットアレイ

51 ローデコード



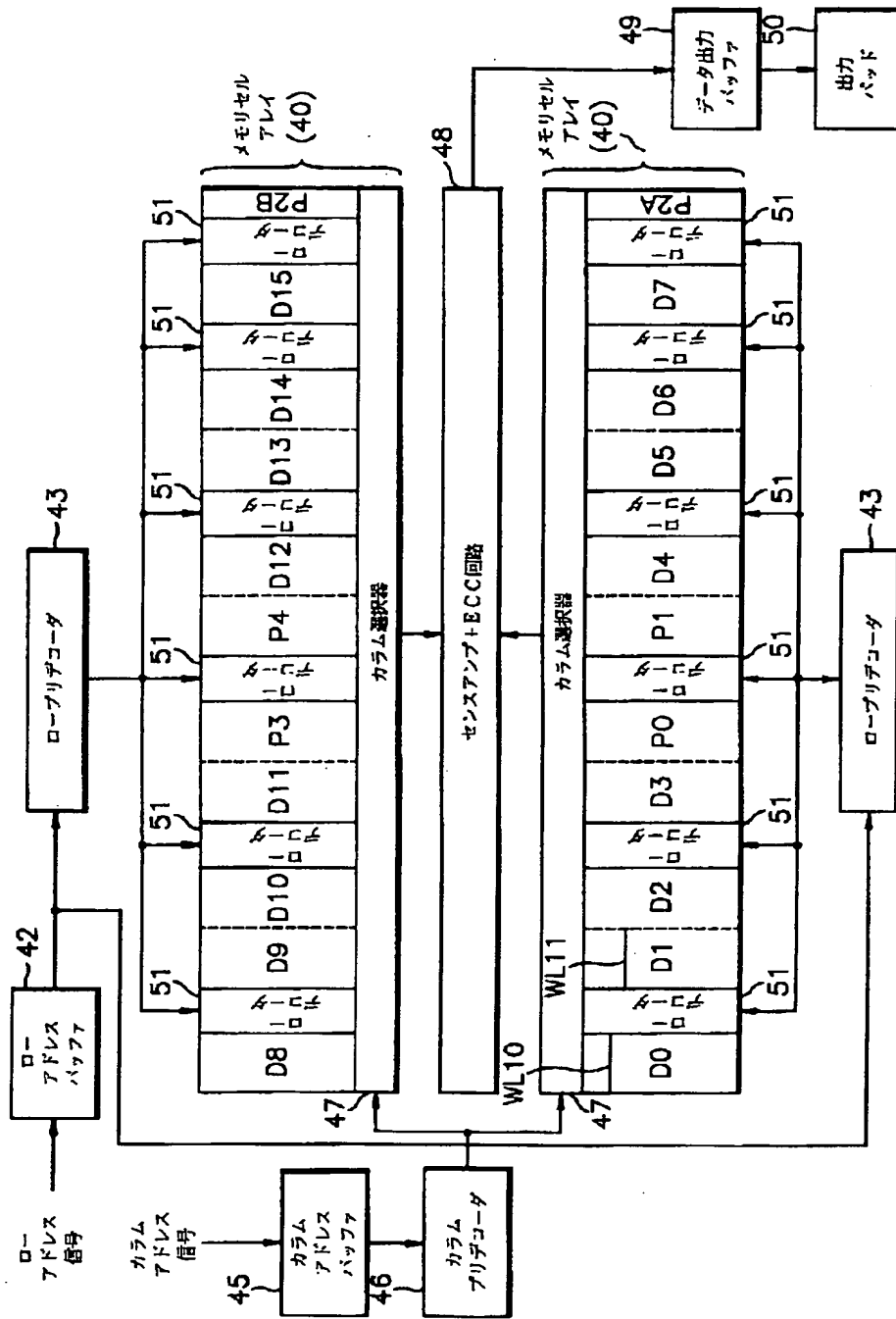


【図2】

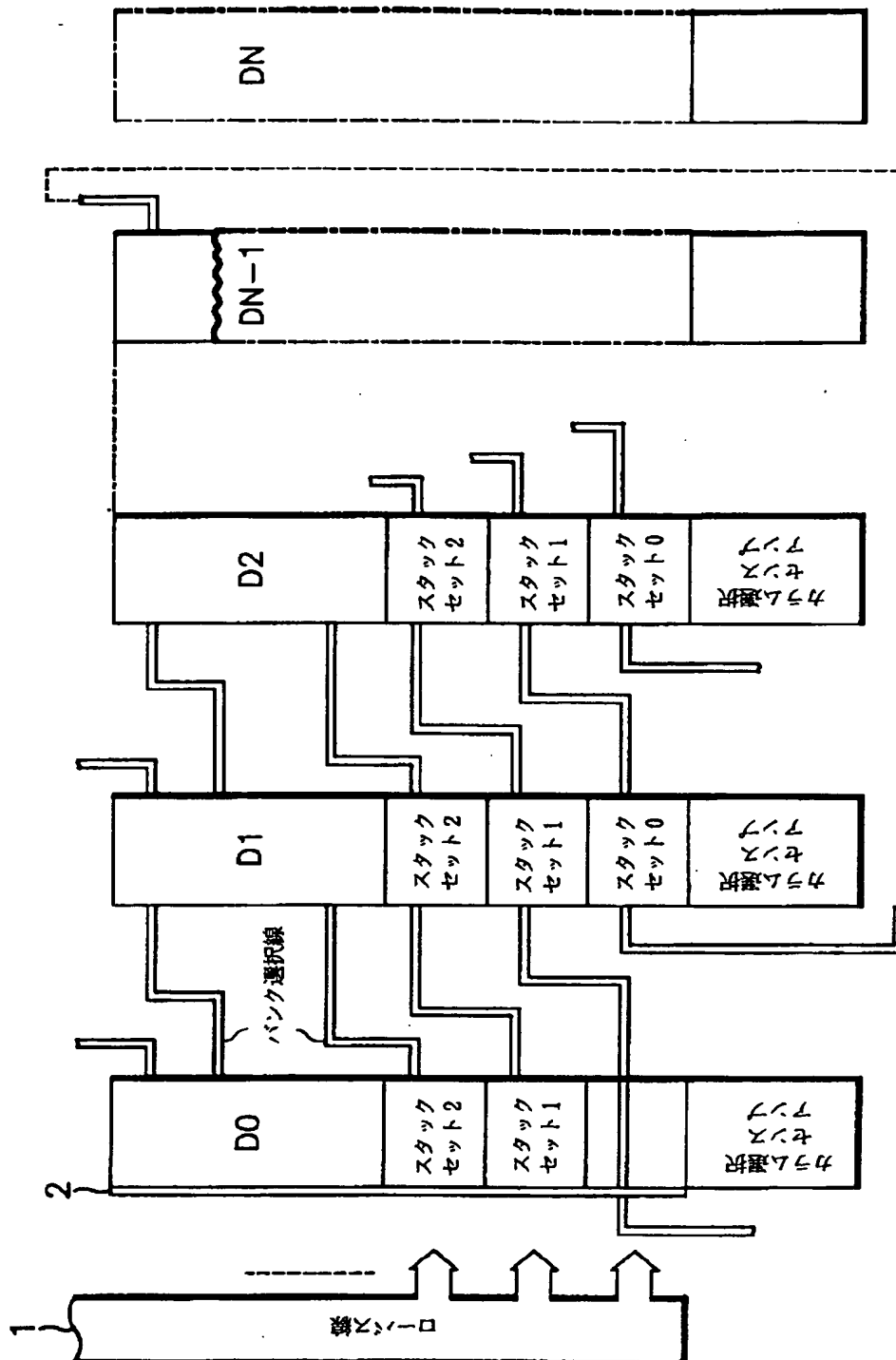




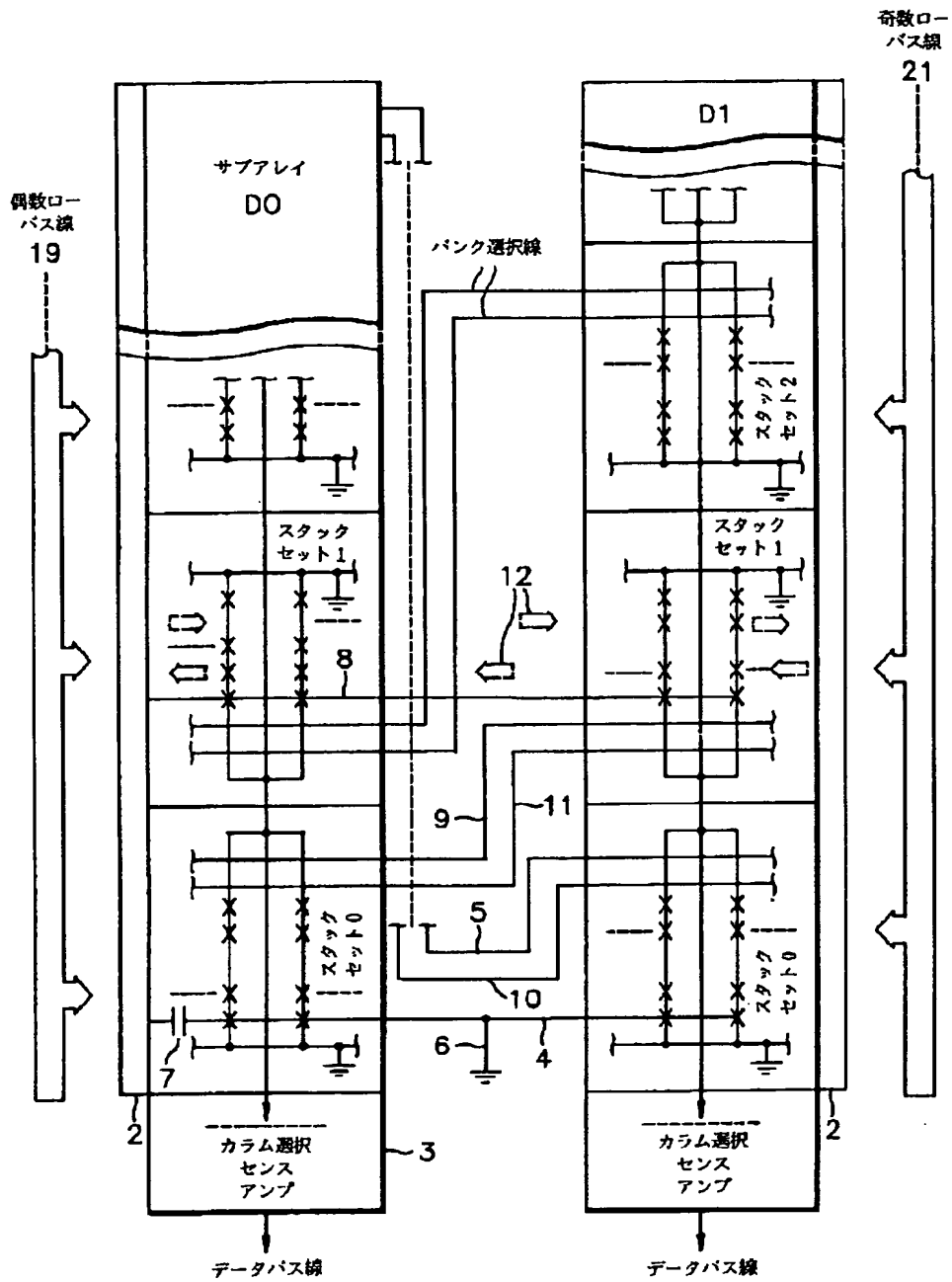
【図4】



【図5】



【図6】



【図7】

